

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Thin film transistors

Patent Number: ☐ GB2065368
Publication date: 1981-06-24
Inventor(s):
Applicant(s):: SHARP KK; JAPAN ELECTR IND DEV ASS
Requested Patent: ☐ JP56069864
Application Number: GB19800035859 19801107
Priority Number(s): JP19790145761 19791109
IPC Classification: H01L29/78 ; H01L21/94
EC Classification: H01L29/49B, H01L29/786F
Equivalents: ☐ DE3042021

Abstract

A thin-film transistor comprises a gate electrode, a source electrode, a drain electrode, an insulating layer formed on the gate electrode and a semiconductor layer overlying the insulating layer and having different portions contacting the source and drain electrodes. The gate electrode and the semiconductor layer are respectively made of tantalum and tellurium. The insulating layer is formed by subjecting the gate electrode, made of tantalum, to an anodization process.

Data supplied from the **esp@cenet** database - 12

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—69864

⑨ Int. Cl.³
H 01 L 29/78
29/62

識別記号

庁内整理番号
6603—5F
7638—5F

④ 公開 昭和56年(1981)6月11日

発明の数 1
審査請求 未請求

(全 8 頁)

⑭ 薄膜トランジスタ

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑮ 特 願 昭54—145761

⑯ 発 明 者 上出久

⑰ 出 願 昭54(1979)11月9日

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑱ 発 明 者 野々村啓作

⑲ 出 願 人 社団法人日本電子工業振興協会
東京都港区芝公園3丁目5番8号

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑳ 発 明 者 高藤裕

㉑ 出 願 人 シャープ株式会社

大阪市阿倍野区長池町22番22号
シャープ株式会社内

大阪市阿倍野区長池町22番22号

㉒ 発 明 者 武智貞利

㉓ 代 理 人 弁理士 青山葆 外2名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) ゲート線電極と、ソース電極と、ドレイン電極と、上記ゲート線電極上に形成した絶縁膜と、両端が夫々上記ソース電極およびドレイン電極に接触するように上記絶縁膜上に形成した半導体層とからなる薄膜トランジスタにおいて、上記ゲート線電極の材料としてタンタルを使用するとともに、該ゲート線電極の表面を陽極酸化法により酸化して絶縁膜を形成する一方、上記半導体層の材料をテルルとすることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

本発明は液晶表示装置等の駆動に使用される薄膜トランジスタに関し、より詳しくは、特定の電極材料および半導体材料を使用して信頼性の向上を図った薄膜トランジスタに関する。

従来、この種の薄膜トランジスタを使用した液

晶表示装置としては、1972年、各絵素に各1個づつトランジスタおよびコンデンサを蒸着膜 (Thin Film) で構成したマトリックス型液晶表示パネルが、ウェスチングハウス (Westinghouse) 社より発表されている。

上記マトリックス型液晶表示パネルの詳細な内容については、1973年発行の I E E E Transition Electron Devices ED-20 第995頁 T. P. Brody 他により、"A 6"×6" 20 lines/inch Liquid Crystal Display Panel" および1974年の S I D の論文集、第166頁、"Operational Characteristics of a 6"×6" TFT Matrix Array Liquid Crystal Display" に開示されている。

上記文献によれば、マトリックス型液晶表示パネルは、第1図に示すように、ガラス基板1上に薄膜トランジスタ2、容量3および液晶エレメントの片方電極4を蒸着法によつて形成し、それを X-Y に配列し、かつ、Xバー、Yバーに結線を

行つて構成した薄膜トランジスタアレイ基板5と、ガラス基板6上に各絵素に共通の全面透明導電膜7を備えた基板8とからなる。これら薄膜トランジスタアレイ基板5および基板8上には、 SiO もしくは SiO_2 等の透明絶縁膜9および10を夫々蒸着した後、斜蒸着もしくはラビング等によつてTN配向処理を行い、上記薄膜トランジスタアレイ基板5および基板8をシール材11で封止し、これに液晶12、例えばTN-FEM液晶もしくはゲストホスト型液晶を注入するとともに、これに偏光板13、14および反射板15を組み合わせることによつて、第2図に示すように、液晶セルの1絵素16を薄膜トランジスタ2およびコンデンサ(C_s)3により駆動する等価回路を有するマトリックス型液晶表示セルとしている。

上記第2図は、4絵素の等価回路を示しているが、これをX-Yに配して結線し、駆動する絵素に応じて、信号線 S_1 、 S_2 、…には第3図(1)に示す波形を有する信号 V_s を与える一方、信号線 G_1 、 G_2 、 G_3 、…には第3図(2)に示す波形を有

(3)

問題を解消すべくなされたものであつて、ゲート線電極の材料としてタンタルを使用し、該ゲート線電極の表面を陽極酸化法により酸化して絶縁膜を形成する一方、半導体層、ソース電極およびドレイン電極の材料として夫々特定の材料を使用することにより、ゲート絶縁膜の絶縁耐力の向上を図り、信頼性を高めた薄膜トランジスタを提供することを目的としている。

以下、本発明の実施例を示す図面を参照して詳細に説明する。

本発明の実施例の具体的な説明に入る前に、先ず、第4図から第9図により、一般的な薄膜トランジスタ(以下、TFTと略記する。)の構造について説明する。

第4図に示すように、TFTは、ガラス等の絶縁基板25の上に制御ゲート電極26を形成し、これを絶縁膜27で被覆し、その上に半導体層28、ソース電極29およびドレイン電極30を順次形成した構造を有する。

上記ゲート電極26の材料としては、 Al 、 Au 、

(5)

する信号 V_G を与えることにより、コンデンサ3および絵素16の電圧が夫々第3図(1)および(2)に示すようになって、マトリックス表示が行われるようにしている。

なお、上記第1図において、17は Al (アルミニウム)等よりなるゲート電極、18はコンデンサ3の一方の電極、19は薄膜トランジスタ2を構成するためのゲート絶縁膜およびコンデンサ3の誘電体膜、20はソース電極、21はドレイン電極、22は半導体膜である。

マトリックス型液晶表示パネルは以上の構成を有しているが、一般に、上記の薄膜トランジスタ2が動作するためにはゲート絶縁膜19の厚さを500オングストロームないし1000オングストロームと極めて薄くする必要があり、このため、上記ゲート絶縁膜19は、よく知られているように、製造過程で生じたピンホール等によつて簡単に絶縁破壊を起すことが多く、信頼性が低いという問題があつた。

本発明は従来の薄膜トランジスタにおける上記

(4)

Ta 、 In 等の金属が使用され、マスク蒸着、フオトエッチング等の技術を用いて形成する。絶縁膜27の材料としては、 Al_2O_3 、 SiO 、 SiO_2 、 CaF_2 、 Si_3N_4 等が使用され、真空蒸着、スパッタリング、CVD等の方法で形成する。

なお、上記ゲート電極26が Al 、 Ta 等の場合には、これらの金属を陽極酸化せしめることにより、絶縁膜27を形成することも可能である。

半導体層28としては、一般に CdSe 、 CdS 、 Te 等が使用され、真空蒸着、スパッタリング等の方法で積層される。また、上記ソース電極29、ドレイン電極30としては、半導体層28とオーム性接触をする材料が使用されるが、一般には、 Au 、 Ni 等の金属が使用される。

TFTの構造は、上記第4図に示したものの外に、第5図に示すように、半導体層28とソース電極29およびドレイン電極30との位置を第4図のものとは上下逆転したもの、第6図に示すように、絶縁基板25の上に、ソース電極29、ドレイン電極30、および両電極間に半導体層28

(6)

を形成し、さらにその上に絶縁膜27、ゲート電極26を形成したもの、あるいは、第7図から第9図に示すもの等がある。

上記第7図のTFTは、第6図のTFTにおいて、半導体層28とソース電極29およびドレイン電極30の上下位置を逆転したもの、第8図は第5図のTFTにおいて、半導体層28を絶縁基板25上でソース電極29およびドレイン電極30に接触させるようにしたものであり、また、第9図のTFTは、第8図のTFTにおいて、半導体層28とソース電極29およびドレイン電極30の上下位置を逆転したものである。

現存の薄膜製造技術でゲート絶縁膜を形成する方法として、ゲート電極26にAl、Ta等の金属を使用し、これを陽極酸化することにより絶縁膜27を形成する方法、あるいは金属のゲート電極26上に、CVDあるいは真空蒸着やスパッタリングにより、 SiO 、 SiO_2 、 Al_2O_3 、 Si_3N_4 等の絶縁膜27を積層する方法等が使用されているが、ゲート電極26の絶縁膜27を

(7)

マ中で処理するドライ(dry)法も知られている。

ウェット法は、第10図に示すように、陽極酸化処理する電極31を形成した基板32を上記電解液33中に浸漬し、上記電極31を電源34の正極に、陰電極板35を上記電源34の負極に夫々接続し、最初0.2mA/cm²程度の一定の電流で定電流化成を行い、第11図に曲線Vで示すように、一定の電圧 V_1 に到達した後は、一定の電圧に固定して定電圧化成を続けると、第11図に曲線Iで示すように、電流値は指数函数的に減少しつづける。

上記電流値が数 $\mu\text{A}/\text{cm}^2$ になつたところで陽極酸化処理は完了し、電極31の表面に酸化膜(絶縁膜)36が形成される。

以上に説明した陽極酸化法は、蒸着法、スパッタ法、CVD法等を使用した絶縁膜形成法に比較して、ピンホールが極めて発生し難い方法であり、TFTのゲート絶縁膜27が500オングストロームないし1000オングストロームと極めて薄いことが必要であることから、このような薄い絶

(9)

陽極酸化法により形成する場合には、TFTは第4図、第5図、第8図もしくは第9図に示された構造のものに適用される。

本実施例では、上記ゲート電極26の材料としてTa(タンタル)を使用するとともに、該ゲート電極26の表面を陽極酸化法により酸化して絶縁膜27を形成する一方、半導体層28の材料をTe(テルル)とするとともに、ソース電極29およびドレイン電極30の材料を夫々ニッケルとするものである。

次に、TFTのゲート電極26、ソース電極29およびドレイン電極30の材料として上記のような材料を使用する一方、絶縁膜27を陽極酸化法により形成する理由を説明する。

はじめに、上記の陽極酸化法について説明する。

陽極酸化法には、硝酸アンモニウム、硝酸ナトリウム、酒石酸アンモニウム等を水もしくはエチレングリコール等の溶媒に1ないし10重量パーセント解かした電解液中で行うウェット(wet)法がよく知られているが、これ以外に O_2 プラズ

(8)

マ膜形成法としては、ピンホールフリーの観点より、陽極酸化法が好ましい形成法である。

上記陽極酸化法によつて形成される酸化膜36は、その形成法からも分るように極性を有しており、一般に、陽極酸化処理を施した金属電極に正方向の電圧を印加した方が、上記金属電極に負方向の電圧を印加した場合に比べて良好な絶縁特性を有することが知られており、本願発明者の実験においても、正方向電圧印加の方が負方向電圧印加に対し、絶縁耐力が2倍、リーク電流が1/10という結果を得ている。

一方、TFTを使用した液晶表示装置の駆動波形については、本出願人は、特願昭53-13767号(発明の名称「マトリックス型液晶表示装置の駆動方法」)および特願昭53-15583号(発明の名称「マトリックス型液晶表示装置の駆動方法」)において提案している。

上記では、半導体層28としてTe等のP型半導体を使用する場合は、第12図(イ)および(ロ)に夫々示すような電圧波形をTFTのソース電極29

00

およびゲート電極26に印加することにより液晶表示装置を駆動することを提案しているが、半導体層28としてCdSe、CdS等のn型半導体を使用する場合は、第13図(ハ)および(ヘ)に夫々示すように、上記第12図(ハ)および(ヘ)とは正負極性が反対のパルス波形で駆動する。

半導体層28としてP型半導体を使用した場合の第12図(ハ)および(ヘ)の駆動波形では、TFTのソース電位に対するゲート電位が夫々^正（プラス）、零および負（マイナス）となる時間の割合は、nラインのマルチプレックス駆動した場合、次の第1表のようになる。

第 1 表

電 位	割 合
+ V	$1/2 (1 - 1/n)$
± 0	$1/2$
- V	$1/2 n$

また、半導体層28としてn型半導体を使用し

(11)

は、Al、Ta、Tiが一般的であるが、これらの材料以外にも、Nb、Hf、Bi、Zr、V、Y、Si等が考えられる。

上記の各材料を陽極酸化し、酸化膜の膜厚と化成電圧との比と、上記酸化膜の誘電率εとの関係を求めると、第14図に示すようになる。

良好な特性を有するTFTを製作するには、同一化成電圧でできるだけ誘電率εの大きな酸化膜を得ることが好ましいが、上記第14図から明らかなように、TiO₂、Nb₂O₅およびTa₂O₅はいずれも、膜厚／化成電圧が小さく誘電率εが大きい。

従つて、ゲート電極26の材料としては、Ti、NbもしくはTaが好ましい材料と考えられる。

そこで、本願発明者は、半導体層28としてTe、ソース電極29およびドレイン電極30としてNiを使用し、ゲート電極26の材料としてTi、NbおよびTaを使用したTFTの外に、上記ゲート電極26の材料としてAlを使用した合計4種類のTFTの製作を行った。

(13)

た場合の第13図(ハ)および(ヘ)の駆動波形では、次の第2表のようになる。

第 2 表

電 位	割 合
+ V	$1/2 n$
± 0	$1/2$
- V	$1/2 (1 - 1/n)$

上記第1表と第2表とを比較すれば明らかなように、半導体層28としてP型半導体を使用したTFTでは、ソース電位に対するゲート電位が正（プラス）となる時間の割合が、半導体層28としてn型半導体を使用したものよりも大きくなっているが、前記したように、陽極酸化処理を施した金属電極に正方向の電圧を印加した方が負方向の電圧を印加するよりも良好な絶縁特性が得られることから、半導体層28としてはTe等のP型半導体を使用することが好ましいことが分る。

次に、陽極酸化を行うことのできる材料として

(12)

しかし、ゲート電極26にTiを使用するものについては、定電流化成時に電圧が10ボルト程度にしか上昇せず、絶縁膜27の膜厚が200オングストローム程度と薄く絶縁耐力が不充分であつたため、ゲート電極26の材料として、Ta、NbおよびAlを使用した3種類のTFTにより高温動作試験を行った。

上記高温動作試験によるゲート電極26の絶縁膜27の絶縁破壊の発生状況の結果を第15図に示す。

上記第15図から明らかなように、ゲート電極26の材料としてAl、Nbを使用した場合、時間とともに良品率が低下するのに対し、Taをゲート電極26の材料として使用した場合は、略々100パーセントの良品率が得られることが分る。

また、TFTのドレイン電圧V_Dとドレイン電流I_Dとの間には、

$$I_D = (\epsilon_0 \epsilon_1 \mu_w / L T_{ox}) \{ (V_g - V_0) V_D - (1/2) V_D^2 \} \quad (1)$$

(14)

の関係がある。

但し、上記第1式において、 V_g はゲート電圧、 T_{ox} は絶縁膜27の厚さ、 ϵ_0 は真空の誘電率、 ϵ_1 は絶縁膜27の比誘電率、 μ は半導体層28のモビリティ、 w はTFTのチャンネルの巾、 L はチャンネルの長さ、 V_D はTFTのピンチオフ電圧である。

一方、 Al_2O_3 、 Nb_2O_5 および Ta_2O_5 はいずれも化成電圧を一定にして形成したが、 Al_2O_3 の比誘電率 ϵ_1 が9であるのに対し、 Ta_2O_5 の比誘電率 ϵ_1 は27で Al_2O_3 の3倍の値を有している。

従つて、上記第1式から分るように、絶縁膜27として Ta_2O_5 を使用すれば、TFTのゲート電圧を、 Al_2O_3 を使用した場合の約1/3の小さな電圧によつても、 Al_2O_3 と同一の V_D-I_D 特性を得ることができ、TFTを低いゲート電圧で駆動できるため、この面からも絶縁膜27の絶縁破壊を防ぐことができる。

以上のことから、TFTのゲート電極26の材

09

第1図は従来のTFTを使用した液晶表示装置の断面図、第2図は第1図の等価回路図、第3図(イ)から(ロ)は夫々第2図の等価回路を駆動した時の各電極部の電圧波形図、第4図から第9図は夫々異なる構成を有するTFTの断面図、第10図は陽極酸化法の説明図、第11図は陽極酸化法により流れる電流と電圧の説明図、第12図(イ)および(ロ)は夫々P型半導体層を有するTFTの駆動波形図、第13図(イ)および(ロ)は夫々n型半導体層を有するTFTの駆動波形図、第14図は陽極酸化における膜厚/化成電圧と誘電率の関係を示す説明図、第15図はTFTの信頼性の説明図である。

25…絶縁基板、26…ゲート電極、27…絶縁膜、28…半導体層、29…ソース電極、30…ドレイン電極。

特 許 出 願 人 社団法人 日本電子工業振興協会
シャープ株式会社
代 理 人 弁 理 士 青 山 稔 ほか2名

07

料としてはTa、絶縁膜27としては Ta_2O_5 の陽極酸化法による酸化膜、半導体層28としてはTeを使用すれば、TFTの信頼性が大巾に向上することが分る。

上記実施例では、ソース電極29およびドレイン電極30の材料としてNiを使用したか、Niの代りにAuもしくはCoあるいはInまたは In_2O_3 等の材料を使用することもできる。

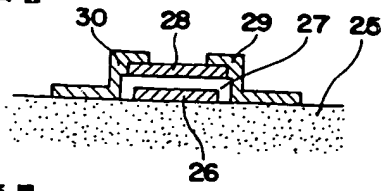
また、本発明に係るTFTは液晶表示装置に限定されるものではなく、例えばエレクトロクロミック表示装置等の他の装置にも適用できる。

以上、詳細に説明したことからも明らかなように、本発明は、Taからなるゲート線電極の表面を陽極酸化法により酸化させてゲート絶縁膜を形成する一方、TFTの電極に特定の材料を使用してゲート絶縁膜の絶縁耐力の向上を図るようにしたから、ゲート絶縁膜の絶縁破壊による不良品の発生が少くなり、TFTの信頼性が大巾に向上する。

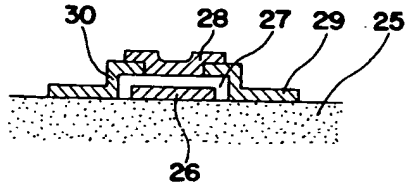
4.図面の簡単な説明

08

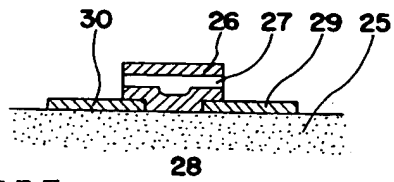
第 4 圖



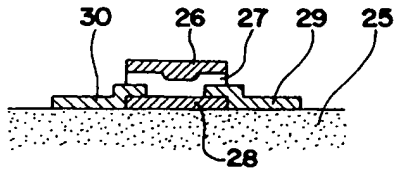
第 5 圖



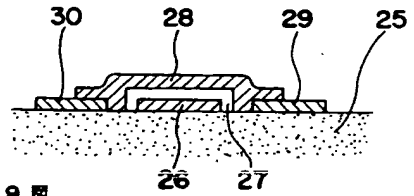
第 6 圖



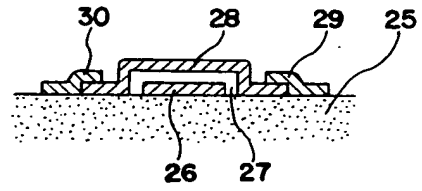
第 7 圖



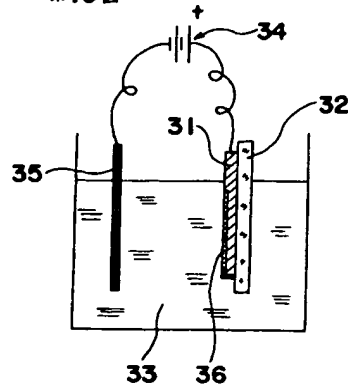
第 8 圖



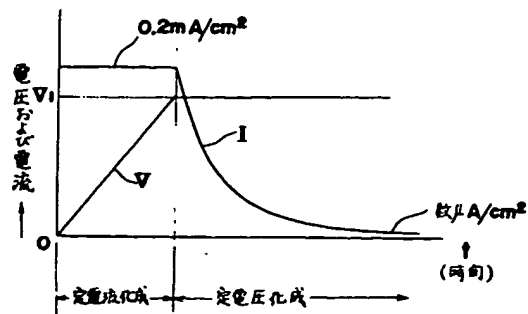
第 9 圖



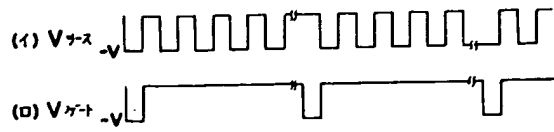
第10圖



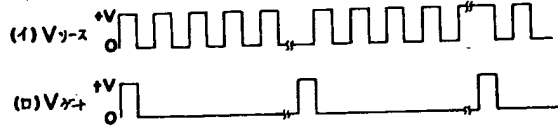
第11圖



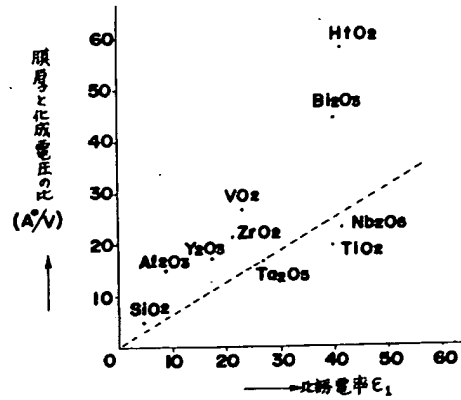
第12図



第13図



第14図



第15図

